

一种新型中高频移相方法的实现

谭福耀, 谢辉, 李婕

(武汉大学 电子信息学院, 武汉 430079)

摘要: 针对中高频条件下现有移相技术所解决的移相的数字化、智能化、精度提高等问题, 采用 DS1020 序列芯片配以外围测频及控制电路实现精确移相, 系统具有电路简单、精确度高、实时性好等优点, 对以后的移相技术应用有一定的借鉴意义。

关键词: 移相; 微弱信号检测; 频率测量; 锁相放大器

中图分类号: TP368.1; TN623 **文献标识码:** A **文章编号:** 1673-0143(2008)03-0028-04

微弱信号检测技术在许多领域具有广泛的应用, 例如物理学、化学、电化学、生物医学、天文学、地学、磁学、海洋、天文等^[1], 而锁相放大器 (Lock-in amplifier, LIA) 的出现, 使得微弱信号检测有了长足的发展, 信噪改善比 SNIR 得到不断提高. 如何实现精确移相在许多情况下不可回避, 一个典型性的问题是在中高频条件下如何做到用锁相放大器的参考通道部分移相输出正交矢量信号, 传统的移相技术要么难以保持信号实部和虚部随频率同步变化, 从而影响了测量的精度; 要么虽能够做到准确移相而移相电路较为复杂庞大, 增加了成本. 如何让电路在易于实现的基础上, 保证输入信号移相任意角度的实时性、可靠性、精确性, 以及如何实现参考信号在输入信号相位不断变化的情况下, 它们之间的相位差仍保持一个恒定值, 这些都是具有实际工程意义的技术难点. 本文以此为切入口, 讨论一种全新的移相方法, 对以后的微弱信号检测技术研究及移相技术的其他应用有一定的借鉴意义.

1 现有移相技术

现有电子式移相技术可以分为模拟式和数字式两种. 模拟式可调移相器采用模拟硬件电路构成移相器, 通过手动调节电路元件参数达到调节移相角度的目的. 该方法结构简单, 但调整速度慢、精度低且幅频特性差、不易实现数字化和智能化. 经实验, RC 移相电路上限频率只有几十千赫兹, 幅频特性差, 且移相范围有限

($0^\circ < \varphi < 90^\circ$)^[2]. 有源 RC 移相电路, 若考虑到积分器的动态范围和比较器的鉴别灵敏度, 电路可工作的频率范围和移相量都会受到一定的影响, 一般只是用于振荡频率固定且稳定性要求不高的场合. 数字式移相器大多以标准逻辑器件按传统数字系统设计方法设计而成 (如基于单片机法和 FPGA 的数字移相技术), 技术核心是先将模拟信号或移相角数字化, 经移相后再还原成模拟信号. 数字移相方法的一个典型应用是先将正弦波信号数字化并形成一张数字表存入 ROM 芯片中, 此后通过两片 D/A 转换芯片在单片机的控制下连续循环地输出该表格, 就可得到两路正弦波信号, 若当两片 D/A 转换芯片所获得的数据序列不完全相同时, 则转换所得到的两路正弦波信号存在相位差, 相位差值与数据表中数据的总个数及数据地址的偏移量有关^[3]. 此方式的实质是将数据地址的偏移量映射为信号间的相位值. 图 1 为基于 FPGA 法的移相器典型的系统方框图, 从中可以看出, 此方法在可控度、稳定性、精度上 (其精度可达 1°) 都较理想, 但其主要缺点为系统结构繁琐、技术相对复杂 (如还必须运用数字频率合成技术 DDS)、软件程序开发困难、故障隐患多.

综上所述, 现有移相技术在解决实际工程问题时要么电路简单但精度不够, 要么精度较高但系统复杂. 如果将移相的精确性、结构简单、实时性以及可靠性结合起来, 则可以达到更为理想的移相技术要求. 笔者运用 DS1020 芯片并配以

外围控制电路为要点,以锁相放大器为实验平台来实现一种全新的移相方法,它集实时性好、精度高、可靠性强、硬件电路简单等诸多优点于一身,并在实际测试中取得了良好的效果。

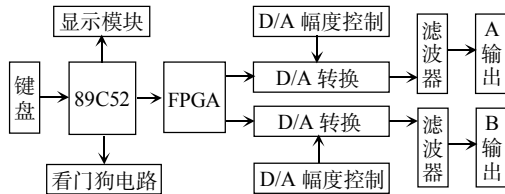


图1 基于FPGA法的移相器典型的系统方框图

2 锁相放大器原理及其电路改进设计

锁相放大器的基本结构如图2所示,包括信号通道、参考通道、相敏检测器(PSD)和低通滤波器(LPF)等^[4]。

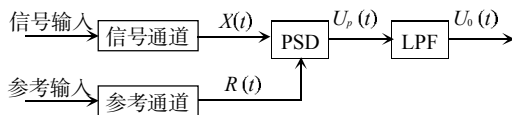


图2 锁相放大器的基本结构图

信号通道对混有噪声的初始信号进行选频放大,对噪声做初步的窄带滤波;参考通道通过锁相和移相提供一个与被测信号同频同相的参考电压;相敏检波由混频乘法器和低通滤波器组成,输入信号 $X(t)$ 与参考信号 $R(t)$ 在相敏检波器中混频,得到一个与频差有关的输出信号 $U_p(t)$, $U_p(t)$ 经过低通滤波器后得到一个与输入信号幅度成比例的直流输出分量 $U_0(t)$ 。

设乘法器的输入信号 $X(t)$ 和参考信号 $R(t)$ 分别有下列形式

$$X(t) = X_m(t) \cos[(\omega_0 + \Delta\omega)t + \theta], \quad (1)$$

$$R(t) = R_m(t) \cos(\omega_0 t). \quad (2)$$

则混频器输出信号 $U_p(t)$ 为

$$U_p(t) = X(t) \cdot R(t) = 1/2 \cdot R_m(t) X_m(t) \{ \cos[(\Delta\omega)t + \theta] + \cos[(2\omega_0 + \Delta\omega)t + \theta] \}. \quad (3)$$

式中 $\Delta\omega$ 是 $X(t)$ 和 $R(t)$ 的频差, θ 为相位差。由(3)式可见,经相关运算后,输出信号的频谱由 ω_0 变换到频差 $\Delta\omega$ 和频率为 $2\omega_0$ 的频段上。同时,和频信号分量 $2\omega_0$ 被低通滤波器滤掉,则输出信号 $U_0(t)$ 变为

$$U_0(t) = 1/2 \cdot R_m(t) X_m(t) \cos[\theta + (\Delta\omega)t]. \quad (4)$$

上式表明:输入信号中只有那些与参考信号同频率的分量才能使差频信号 $\Delta\omega=0$ 。此时,输出信号是直流分量,它的幅值取决于输入信号幅

值并与参考信号和输入信号相位差有关,且有

$$U_0(t) = 1/2 \cdot R_m(t) X_m(t) \cos\theta. \quad (5)$$

当 $\theta=0$ 时, $U_0(t)=1/2 \cdot R_m(t) X_m(t)$;当 $\theta=\pi/2$ 时, $U_0(t)=0$ 。即在输入信号中由于只有被测信号本身和参考信号有同频锁相关系,故能得到最大直流输出。其他噪声和干扰信号或者由于频率不同,造成 $\Delta\omega \neq 0$ 的交流分量,被后接的低通滤波器滤掉;或者由于相位不同而被相敏检波器截止,故锁相放大能以极高的信噪比从噪声中提取出有用信号。

这其中移相电路是参考通道中的主要部件,它可以实现按级跳变的相移和连续可调的相移,这样可得到 $0^\circ \sim 360^\circ$ 范围的任何移相值。为去除同频噪声,采用移相技术。所谓移相是指对于两路同频信号,以其中一路为参考信号,另一路相对于该参考信号做超前或滞后的移动形成相位差。这里对锁相放大器基本电路的改进主要是基于对其参考通道中移相电路的改进^[5]。

3 移相系统设计

3.1 DS1020 芯片

DS1020可编程8位硅延迟线是一个包括8位用户可编程的CMOS硅集成电路。使用3线串行接口或8位并口进行编程,延迟时间以256个步进延时来计算。当 $S=0$ 时为串行模式, $S=1$ 时为并行模式。最快型号(DS1020-15)步延时间0.15 ns,提供最大延时48.25 ns,而最慢的型号(DS1020-200)步延为2 ns,最大可延迟520 ns。所有型号都有一个固定(零步)延迟时间10 ns(见图3)。当用户确定好延迟时间后,其输入逻辑状态就无翻转地在输出端输出^[5]。

3.2 移相硬件电路及软件程序设计

根据移相要求,应选用DS1020的 $S=1$ 时的并行状态模式。在这种模式下,DS1020产生一个由P0~P7编程状态来决定的延时(如图3),其P0~P7编程状态用单片机I/O口控制。IN和OUT分别作为信号输入端和输出端,VCC、S、D、C脚均接“+5V”,同时使能端ENABLE由单片机P2.0脚来控制。具体移相电路见图4,其中输入信号分为两路,一路直接接到DS1020的IN脚,另一路经信号处理电路接到单片机P3.5(T1)端。信号处理电路包括对输入信号的放大、波形变换、波形整形等。如图4所示,信号处理电路第一级为零偏置放大器,它把如正弦波样的正负交替波形变换成单向脉冲,这样就可使得系统不

	ff							MAX DELAY	PARALLEL PORT	SERIAL PORT		
	MIN DELAY	STEP	ZERO									
BINARY PROGRAMMED VALUE	0	0	0	0	0	0	0	1	1	1	P7	MSB
	0	0	0	0	0	0	0	1	1	1	P6	
	0	0	0	0	0	0	0	1	1	1	P5	
	0	0	0	0	0	0	0	1	1	1	P4	
	0	0	0	0	0	0	0	1	1	1	P3	
	0	0	0	0	1	1	1	1	1	1	P2	
PART NUMBER	0	0	1	1	0	0	0	1	1	1	P1	
	0	1	0	1	0	1	1	0	1	1	P0	LSB
DS1020-15	10.00	10.15	10.30	10.45	10.60	10.75	47.95	48.10	48.25			
DS1020-25	10.00	10.25	10.50	10.75	11.00	11.25	73.25	73.50	73.75			
DS1020-50	10.0	10.5	11.0	11.5	12.0	12.5	136.5	137.0	137.5			
DS1020-100	10	11	12	13	14	15	263	264	265			
DS1020-200	10	12	14	16	18	20	516	518	520			

图3 DS1020 并行工作模式下编程状态

仅可以测量任意方波信号的频率,也可以测量正弦波信号的频率. 三极管采用开关三极管以保证放大器具有良好的高频响应. 第二级为带有施密特触发器的反相器 74LS14, 它用于将放大器生成的单向脉冲变换成与 TTL/CMOS 电平相兼容的方波. 经整形放大的信号送入二与非门 U3A 的一个输入端, 该与非门的另一端接 89C52 的 P1.2, U3A 的输出接二与非门 U3B 的输入, 而 U3B 的另一端接 P1.3. 与非门 U3A、U3B 受 89C52 的控制, 当 P1.2 和 P1.3 均为高电平时, 脉冲信号可以送进计数器 SN74HC4040N 的 CLK 端. 4040 是 12 位异步计数器, 当它计数 4096 个脉冲后, QL 端将输出一个脉冲. 测频过程为: 首先将 4040 的 CLK 端置为高电平, 清零 4040, 初始化 89C52 的定时器和相应的中断, 在 89C52 启动定时器的同时利用 P1.2、P1.3 打开与非门 U3A、U3B, 4040 对输入信号计数, 定时时间一到, 将产生内部定时中断, 在内部定时中断程序中, 89C52 主要完成计数值 N 的任务, N 由下式计算得到

$N = \text{计数器 T1 的值} * 4096 + \text{异步计数器 4040 的计数值 M1}$.

其中 4040 的计数值 $M1$ 的计算方法为: 当 89C52 进入中断后, 将引脚 P1.2 置为 0, 关闭与非门 U3A, 则 U3A 输出为高电平. 这时用软件将 P1.3 置为 0, 再将其置为 1, 4040 的 CLK 端将接收到一个脉冲, 4040 的计数值也增加 1. 如果 4040 的值未达到 4096, QL 端不会产生脉冲, 89C52 的计数器 TL1 的值应保持不变, 继续使 P1.3 产生脉冲, 经过 n 次后, 当程序判断 TL1 的值增加了 1, 说明 4040 计数已满 4096 个, 将 4096 减去 n 就是 $M1$. 由此可计算出输入信号的频率.

频率测量模块完成一次频率测量后, 单片机开始进入转换服务子程序, 依据预置相移值和已测得的频率值来计算相应编程状态值, 再通过单片机 P0 口来输出控制 DS1020 的 P0 ~ P7 脚, 置 P2.0 为高电平启动 DS1020 工作, 同时计算并显示测相精度, 由于单片机 P0 端是地址数据分时复用的, 故此处不会存在数据冲突问题. 图 4 中,

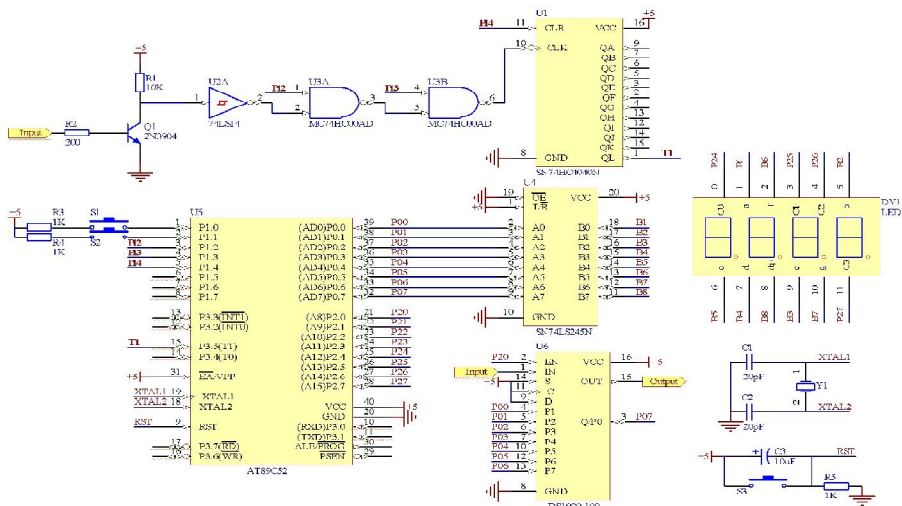


图4 移相整体电路图

S1、S2 键用来控制移相是上移或下移, SN74LS245N 用作数码显示的驱动. 由于移相相同角度对不同频率信号而言, 其精度各不相同, 故精度采用 4 位 LED 来显示. 完成显示后, 频率测量模块开始下一次信号的测量.

系统软件设计采用模块化设计方法, 整个系统由初始化模块、信号频率测量模块、转换服务子程序模块、显示模块等组成, 流程如图 5 所示. 要注意的是在频率测量模块开始工作或完成一次频率测量, 系统软件都要重新进行测量初始化.

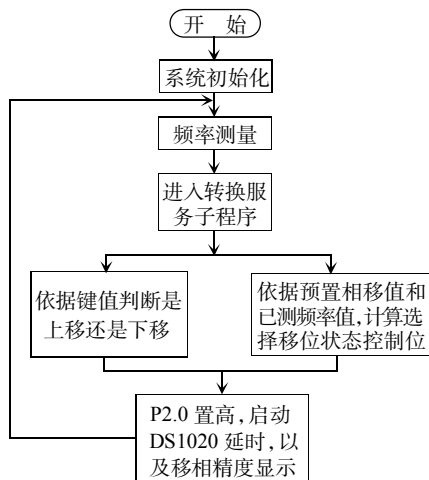


图 5 系统程序流程图

3.3 实验结果及误差分析

造成系统移相误差的原因主要有两方面. 一方面由测频精度问题造成. 由于本系统摒弃了传统的单片机周期测频法和频率测频法, 测量频率的上限远远大于 250 kHz, 精度很高; 另一方面由 DS1020 编程控制状态造成. 根据不同输入信号频率和精度控制要求可以相应选择不同序列的芯片, 误差可控制在纳秒级. 图 6 为本系统对 10 MHz 信号移相 90° 的波形图, 通过比较计算,

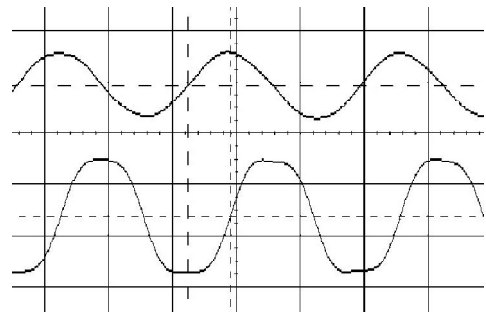


图 6 本系统对 10 MHz 信号移相 90° 的波形图
移相精度控制在 1° 以内, 达到了设计的要求.

4 结语

经过硬件制作和软件调试, 本数字移相系统能实现中高频精确移相, 并可依据频率和相位差进行预置, 且精度值能在 LED 上显示. 为了提高精度和可控度, 把单片机和 DS1020 结合起来, 充分发挥了单片机软件编程方便灵活的特点, 运用 KEIL C51 进行软件编程, 提高了开发效率, 而且系统调试方便、修改容易, 可以轻松实现任意角度的移相. 实验表明系统产生的波形稳定、抗干扰能力强, 频率、相位和幅度调节方便, 精度高, 是精度和可控度比较理想的移相系统, 对以后的移相技术应用具有一定的借鉴意义.

参考文献:

- [1] 高晋占. 微弱信号检测[M]. 北京: 清华大学出版社, 2004.
- [2] 邓仁杰, 伏克峰. 基于单片机同频信号移相的实现[J]. 计量与测试技术, 2007(4): 44-49.
- [3] 李栋, 李正卫. 以 FPGA 为核心的数字移相式信号发生器[J]. 电子技术, 2007(4): 38-40.
- [4] 浦昭邦. 光电测试技术[M]. 北京: 机械工业出版社, 2006.
- [5] DS1020 Programmable 8-bit silicon delay line 技术手册: DALLAS semiconductor[EB/OL]. <http://www.dalsemi.com>.

New Realization of Phase-shifting in Median and High Frequency

TAN Fu-yao, XIE Hui, LI Jie

(School of Electronic Information, Wuhan University, Wuhan 430079, China)

Abstract: Towards the difficulties of the present phase-shifting technology in median and high frequency, such as phase shifting digitization and intellectualized, the precision enhancement, here adopts a new method, using the DS1020 series chips combined with peripheral frequency measurement and control circuit to realize the precise phase-shifting. The system has the characteristic of simple circuit, high precision, good synchronization, can be a good reference for the future phase-shifting technology.

Key words: phase shifting; weak signal detection; frequency measurement; lock-in amplifier

(责任编辑: 范建凤)